

NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURING METHOD

Patent number: WO02058136

Publication date: 2002-07-25

Inventor: SUZUKI TOSHIHARU (JP)

Applicant: SONY CORP (JP); SUZUKI TOSHIHARU (JP)

Classification:

- **International:** H01L21/8247; H01L29/788; H01L29/792; H01L27/115

- **european:** H01L29/423D2B2

Application number: WO2002JP00342 20020118

Priority number(s): JP20010012442 20010119

Also published as:

E P1353372 (A1)

US 2003075756 (A1)

J P2002217318 (A)

Cited documents:

J P2000150679

J P9205154

J P5335588

J P10084051

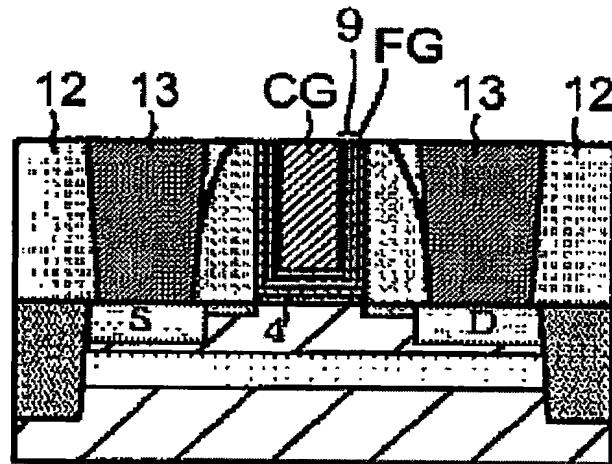
X P002950549

more >>

[Report a data error here](#)

Abstract of WO02058136

A nonvolatile memory device in which a write voltage is lowered to miniaturize the device by increasing the ratio of coupling between a floating gate and a control gate electrode. In an insulating film (a tunneling oxide film (4) and an ONO film structure (9)) between a semiconductor layer (an Si substrate (1)) and a control gate electrode (CG), there is a floating gate electrode (FG) in which electric charge is stored to change the threshold voltage of a transistor thereby to hold the data. In this nonvolatile memory device (so-called floating-gate flash memory (300)), the floating gate electrode (FG) is opposed to the substantially whole faces of the bottom and sides of the control gate electrode (CG) through the insulating film (the ONO film structure (9)).



BEST AVAILABLE COPY

300

Data supplied from the **esp@cenet** database - Worldwide

(3)

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年7月25日 (25.07.2002)

PCT

(10) 国際公開番号
WO 02/058136 A1

(51) 国際特許分類: H01L 21/8247, 29/788, 29/792, 27/115

(SUZUKI, Toshiharu) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).

(21) 国際出願番号: PCT/JP02/00342

(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).

(22) 国際出願日: 2002年1月18日 (18.01.2002)

(81) 指定国(国内): KR, US.

(25) 国際出願の言語: 日本語

(84) 指定国(広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(26) 国際公開の言語: 日本語

添付公開書類:
— 国際調査報告書

(30) 優先権データ:

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

特願2001-012442 2001年1月19日 (19.01.2001) JP

(71) 出願人(米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).

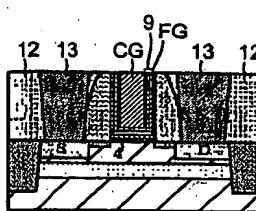
(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 鈴木 俊治



(54) Title: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 不揮発性半導体記憶素子及びその製造方法



(57) Abstract: A nonvolatile memory device in which a write voltage is lowered to miniaturize the device by increasing the ratio of coupling between a floating gate and a control gate electrode. In an insulating film (a tunneling oxide film (4) and an ONO film structure (9)) between a semiconductor layer (an Si substrate (1)) and a control gate electrode (CG), there is a floating gate electrode (FG) in which electric charge is stored to change the threshold voltage of a transistor thereby to hold the data. In this nonvolatile memory device (so-called floating-gate flash memory (300)), the floating gate electrode (FG) is opposed to the substantially whole faces of the bottom and sides of the control gate electrode (CG) through the insulating film (the ONO film structure (9)).



(57) 要約:

不揮発性記憶素子において、フローティングゲートと制御ゲート電極とのカップリング比を大きくし、書き込み電圧を低減させ、素子の微細化を図る。半導体層（Si基板（1））と制御ゲート電極CGとの間の絶縁膜（トンネル酸化膜（4）、ONO膜構造（9））中にフローティングゲート電極FGを有し、フローティングゲート電極FGに電荷が蓄積することによりトランジスタの閾値電圧が変化し、データを保持する不揮発性記憶素子（所謂、フローティングゲート型フラッシュメモリー（300））において、フローティングゲート電極FGを、制御ゲート電極CGの底面及び側面の略全面と絶縁膜（ONO膜構造（9））を介して対向させる。

明細書

不揮発性半導体記憶素子及びその製造方法

5 技術分野

本発明は、M I S型L S Iにおいて使用されるデータの記憶素子であって、素子の電源のON/OFFに関わりなくデータを保持することができる不揮発性半導体記憶素子に関する。

10 背景技術

M I S型L S Iにおいては、素子の電源のON/OFFに関わりなくデータを保持することのできる不揮発性半導体記憶素子が数多く使用されている。不揮発性半導体記憶素子としては、様々なタイプのものが知られているが、M I S型構造のゲート絶縁膜の中間にポリS i等からなるフローティングゲート電極を設け、S i基板からフローティングゲート電極に、S i基板とフローティングゲート電極との間の絶縁膜を介してホットキャリア、トンネル電流等により電荷を注入し、フローティングゲート電極を帶電させることによりM I S型トランジスタの閾値電圧を変化させて記憶を保持させる、所謂、フローティングゲート型フラッシュメモリーが実用化されている。

フローティングゲート型フラッシュメモリーは、第3 A図～第3 G図に示すように製造される。まず、S i基板1にウェル分離あるいは素子分離領域2を通常のロコス法、シャロートレンチ法等により形成し、閾値電圧調整のための埋込層3をイオン注入法により形成する（第3 A図）。

次に、この基板に 800°C、15 分程度の熱酸化により厚さ 8 nm 程度の Si 酸化膜（トンネル酸化膜）4 を形成し、その上にフローティングゲート電極 FG となる厚さ 6 nm 程度のポリ Si 膜 5 を L P - C V D あるいはプラズマ C V D 等により形成する。次に、ポリ Si 膜 5 の表面を、850°C、10 分程度の熱酸化により厚さ 5 nm 程度の Si 酸化膜 6 とし、その上に厚さ 12 nm 程度の Si 窒化膜 (Si_3N_4) 7 を L P - C V D あるいはプラズマ C V D 等により形成し、この Si 窒化膜 7 に熱酸化を施して厚さ 6 nm 程度の Si 酸化膜 8 を形成することにより、Si 酸化膜 6、Si 窒化膜 7 及び Si 酸化膜 8 からなる ONO 膜構造 9 を形成する（第 3 B 図）。

この ONO 膜構造 9 上に、制御ゲート電極 CG となる、リン等を高濃度に含むポリ Si と WSi の積層膜 10 を形成する（第 3 C 図）。これを通常のリソグラフィー技術及び R I E 技術を用いてパターニングすることにより制御ゲート電極 CG を形成し、制御ゲート電極 CG をマスクとして、例えば、リンあるいは砒素を $5 \times 10^{13} / cm^2$ 程度の濃度でイオン注入することにより低濃度領域 LDD_a、LDD_b を形成する（第 3 D 図）。

次に、通常の C V D とエッチバック法を用いて制御ゲート電極 CG の側壁 11 を Si 酸化膜を用いて形成し、これをマスクとして、例えば、リン等を $5 \times 10^{15} / cm^2$ 程度の濃度でイオン注入することによりソース S 及びドレイン D の不純物を導入する。そしてこの不純物を活性化するため、電気炉加熱で 900°C、30 分程度の熱処理を行うか、あるいは急速熱処理（R T P）装置で 1050°C、10 秒程度の熱処理を行う（第 3 E 図）。

次に、Si 酸化膜などの層間絶縁膜 12 を形成し（第 3 F 図）、接続孔を開口して W あるいはポリ Si 等からなるプラグ 13 を形成し、n -

MIS型トランジスタからなるフローティングゲート型フラッシュメモリー100を得る(第3G図)。

フローティングゲート型フラッシュメモリー100の書き込み時には、
例えは、Si基板1を接地した状態で制御ゲート電極CGに+20V程
度の電圧を加える。すると、トンネル電流によりSi基板1のチャネル
領域14からフローティングゲート電極FGへ電荷(電子)が注入され
る。フローティングゲート電極FGに蓄積された電荷は、書き込み時の
電圧20Vを切った後にもフローティングゲート電極FGに蓄積されて
いる。この蓄積状態では、n-MIS型トランジスタの閾値電圧(V
th)は高い値となるので、OFFの状態が、トランジスタの電源のON
/OFFに関わりなく保たれる。こうして、フローティングゲート型
フラッシュメモリー100は、不揮発性記憶素子として機能することと
なる。

しかしながら、第3A図～第3G図のフローティングゲート型フラッ
シュメモリー100は、フローティングゲート電極FGとSi基板1との間のトンネル酸化膜4に部分的にでもリークがあると、フローティン
グゲート電極FGに蓄積された電荷の全てが失われてしまうので、トン
ネル酸化膜4の薄膜化が極めて困難である。その結果、データの書き込
み電圧を18V程度以下には低くすることができず、対応するドレイン
D等の構造を微細化することが困難となり、0.13μm世代以降の微
細な不揮発性記憶素子としては実用化が困難であると考えられている。

これに対し、第4図のように、金属(制御ゲート電極CG)、Si酸
化膜21、Si窒化膜22、Si酸化膜(トンネル酸化膜)4、Si基
板1からなるMONOS構造20を形成し、Si窒化膜22中、及びSi
酸化膜21とSi窒化膜22との界面近傍に存在する離散的なトラップ
に電荷を蓄積することによりトランジスタの閾値を変化させてデータ

を保持する、所謂MONOS型フラッシュメモリー200も開発されている。MONOS型フラッシュメモリー200によれば、離散的なトラップに電荷を蓄積しているので、トンネル酸化膜4に部分的なりークがあっても蓄積電荷の大部分が失われるということはない。そのため、ト 5 ネル酸化膜4の膜厚を3nm程度と、フローティングゲート型フラッシュメモリー100に比して相当に薄くすることができ、その結果、書き込み電圧を10V程度以下にまで低くできる可能性を有している。

しかしながら、MONOS型フラッシュメモリー200のトラップで蓄積できる電荷密度はフローティングゲート型フラッシュメモリー10 10 0に比して5桁程度も低い。また、MONOS型フラッシュメモリー200のトラップ密度を再現性よく、かつ制御性よく形成することは容易でない。このため、微細化されたMONOS型フラッシュメモリー20 0ではデータの保持時間(Data Retention)、書き込み／消去繰り返し耐性(エンデュランス)が必ずしも十分ではない。

一方、フローティングゲートに関わる全容量に対する、フローティングゲートと制御ゲートとの容量の比(容量結合比あるいはカップリング比)を増大させるために、第5図に示すように、フローティングゲート電極FGの素子分離方向の側壁及び上面を覆うようにONO膜構造9を形成し、そのONO膜構造9の側面及び上面を覆うように制御ゲート電極CGを形成したフローティングゲート型フラッシュメモリー101も知られている(Y.S.Hisamune et al., IEDM Tech.Digest '93, p19(1993))。

しかしながら、このフローティングゲート型フラッシュメモリー10 1において容量結合比(カップリング比)を増大させるためには、フロ 25 ティングゲート電極FGの膜厚を厚く形成しなくてはならぬ、制御

ゲート電極 CG の幅も広くなり、微細化に不向きである。また、プラグが形成しにくくなるという欠点もある。

本発明は、以上のような従来の不揮発性記憶素子に対し、電荷の容量結合比（カップリング比）が大きく、書き込み電圧を低減でき、かつ微細化にも適した新たな不揮発性記憶素子を提供することを目的とする。

発明の開示

- 本発明者は、(i)従来のフローティングゲート型フラッシュメモリーにおいて書き込み電圧を低くできない一因として、フローティングゲート電極に関する全容量に対する、制御ゲート電極—フローティングゲート電極間の容量の比（カップリング比）が低いために、制御ゲート電極に印加した電圧の大部分が制御ゲート電極—フローティングゲート電極間に印加され、実質的にフローティングゲート電極—Si 基板間のトンネル酸化膜に印加されないこと、(ii)したがって、このカップリング比を高くすることによりトンネル酸化膜にかかる電圧を実質的に高くし、それにより書き込み電圧を低くできること、(iii)カップリング比を高くするためには、ダミーゲート法によりゲート溝を形成し、ゲート溝内の底面だけでなく側面にもフローティングゲート電極を形成することが有効であること、を見出した。
- 即ち、本発明は、半導体基板と制御ゲート電極との間の絶縁膜中にフローティングゲート電極を有し、フローティングゲート電極に電荷が蓄積することによりトランジスタの閾値電圧が変化し、データを保持する不揮発性記憶素子であって、フローティングゲート電極が、制御ゲート電極の底面及び側面の双方と絶縁膜を介して対向していることを特徴とする不揮発性半導体記憶素子を提供する。

また、この不揮発性半導体記憶素子の製造方法として、半導体基板上にダミーゲートを形成し、さらにダミーゲートの周囲に絶縁膜からなる側壁を形成した後、ダミーゲートをエッティング除去してゲート溝を形成し、ゲート溝底面の絶縁膜上及びゲート溝側壁面上にフローティングゲート電極層及び絶縁膜を順次成膜し、さらに制御ゲート電極層を成膜してゲート溝内に埋め込むことにより、フローティングゲート電極が、制御ゲート電極の底面及び側面の双方と絶縁膜を介して対向している不揮発性半導体記憶素子を製造する方法を提供する。

10 図面の簡単な説明

第1A図～第1I図は、本発明のフローティングゲート型フラッシュメモリーの製造工程図である。

第2A図～第2B図は、本発明の他の態様のフローティングゲート型フラッシュメモリーの平面図(a)及び断面図(b)である。

15 第3A図～第3G図は、従来のフローティングゲート型フラッシュメモリーの製造工程図である。

第4図は、MONOS型フラッシュメモリーの断面図である。

第5図は、従来のフローティングゲート型フラッシュメモリーの断面図である。

20

発明を実施するための最良の形態

以下、図面を参照しつつ、本発明を詳細に説明する。なお、各図中、同一符号は同一又は同等の構成要素を表している。

25 第1A図～第1I図は、本発明のフローティングゲート型フラッシュメモリーの一例の製造工程図である。

まず、Si基板1にウェル分離あるいは素子分離領域2を通常のロコス法、シャロートレンチ法等により形成し、閾値電圧調整のための埋込層3をイオン注入法により形成する(第1A図)。

次に、この基板に800～850℃、10～15分程度の熱酸化により厚さ7～9nm程度のSi酸化膜(トンネル酸化膜)4を形成し、その上にダミーゲートDGとなる厚さ500～700nm程度のポリSi膜16をLPCVD等により形成する(第1A図)。

この積層構造に対してリソグラフィー技術及びRIE技術を用いてパターニングすることによりダミーゲートDGを形成し、ダミーゲートDGをマスクとして、例えば、リンあるいは砒素を $5 \times 10^{13} / \text{cm}^2$ 程度の濃度でイオン注入することにより低濃度領域LDD_a、LDD_bを形成する(第1C図)。

次に、通常のCVDとエッチバック法を用いてダミーゲートDGに側壁11を形成し、これをマスクとして、例えば、リン等を $5 \times 10^{15} / \text{cm}^2$ 程度の濃度でイオン注入することによりソースS及びドレインDの不純物を導入し、これらを活性化するため電気炉加熱で850～950℃、20～30分程度の熱処理を行うか、あるいは急速熱処理(RTP)装置で1000～1100℃、5～10秒程度の熱処理を行う(第1D図)。

次に、Si酸化膜などを堆積させることによりダミーゲートDGとその周囲を覆う層間絶縁膜12を形成する(第1E図)。そして、CMP等の平坦化技術により層間絶縁膜12を平坦化してダミーゲートDGを露出させ、露出したダミーゲートDGをエッチング法により除去し、ゲート溝17を形成する(第1F図)。ダミーゲートDGの下地になっていたトンネル酸化膜4は、ダミーゲートDGのエッチング後に残すようにしてもよく、あるいはダミーゲートDGの除去に引き続き、エッテン

グにより除去してもよい。トンネル酸化膜4を除去した場合には、ゲート溝17の底面にトンネル酸化膜4を再度形成する。

次に、ゲート溝17内の底面及び側壁面の全面に、フローティングゲート電極FGとなるポリSi膜5を膜厚6～8nm程度堆積する。この
5 ポリSi膜5の形成方法としては、LPCVDあるいはプラズマCVD等によってもよいが、膜厚の均一化のため、原子層化学的気相成長法(Atomic Layer Chemical Vapor Deposition: ALCVD)によること
が好ましい。

次に、ポリSi膜5の表面を熱酸化することにより厚さ4.5～5.5nm程度のSi酸化膜6を形成し、その上に厚さ1.1～1.3nm程度のSi窒化膜(Si₃N₄)7を形成し、Si窒化膜7に熱酸化を施して厚さ5～7nm程度のSi酸化膜8を形成することにより、Si酸化膜6、Si窒化膜7及びSi酸化膜8からなるONON膜構造9を形成する。このONON膜構造9の形成工程において、Si窒化膜7はLPCVDあるいはプラズマCVD等により形成してもよいが、下地の基板形状に対してほぼ完全に均一な膜厚で超薄膜を形成するため、特に、ゲート溝17の隅の部分でも安定した膜厚で連続膜を形成するために、原子層化学的気相成長法によることが好ましい。また、ONON膜構造9をより均一な膜厚の連続膜に形成し、書き込み電圧を低くするためには、Si
15 窒化膜7の形成だけでなく、Si酸化膜6、Si窒化膜7及びSi酸化膜8の各膜を高温のCVD法(700～800℃)によって形成することが好ましく、さらには原子層化学的気相成長法によって形成することがより好ましい。

ゲート溝17を含む全面にリン等を高濃度に含むポリSiとWSiの
25 積層膜10を成膜してゲート溝17を埋め込むことにより、制御ゲート電極CGを形成する(第1G図)。

次にこれらを平坦化することにより、ゲート溝17の外の領域の積層膜10、ONO膜構造9、ポリSi膜5を除去する（第1H図）。そして、層間絶縁膜12に接続孔を開口してWあるいはポリSi等からなるプラグ13を形成し、本発明の一実施例のフローティングゲート型フラッシュメモリー300を得る（第1I図）。

こうして形成されたフローティングゲート型フラッシュメモリー300では、フローティングゲート電極FGが制御ゲート電極CGと、該制御ゲート電極CGの底面だけでなく、側面にわたっても対向しているので、大きな容量で結合されることとなる。例えば、0.18μm世代の典型的なフローティングゲート型フラッシュメモリーでは、フローティングゲート電極FG上のONO膜構造9のSi酸化膜換算膜厚は14.4nm程度となるので、ゲート長0.18μm、ゲート幅1.0μm、ゲート高さ0.6μmの場合、第3A図～第3G図に示した従来のフローティングゲート型フラッシュメモリー100では、フローティングゲートと接続プラグとの容量を無視した場合、フローティングゲート電極に関わる全容量に対する、制御ゲート電極CG～フローティングゲート電極FG間の容量の比（カップリング比）が0.56程度となるが、第1A図～第1I図の本発明のフローティングゲート型フラッシュメモリー300では10.9程度となり、カップリング比を約20倍も向上させることができる。したがって、第3A図～第3G図に示した従来のフローティングゲート型フラッシュメモリー100で20Vの書き込み電圧が必要とされる場合に、第1A図～第1I図のフローティングゲート型フラッシュメモリー300では必要な書き込み電圧が7.8V程度となる。よって、フローティングゲート型フラッシュメモリーを構成するトランジスタのドレイン耐圧を大幅に低減させることが可能となり、素子の微細化を図ることができる。

本発明は、種々の態様をとることができる。例えば、第1A図～第1I図のフローティングゲート型フラッシュメモリー300において、フローティングゲート電極FGは、ポリSi膜5に限らず、成膜技術の確立している、原子層化学的気相成長法によりTiCl₄とNH₃を用いて形成するTiN膜としてもよい。フローティングゲート電極FGをTiN膜から形成する場合、このTiN膜と制御ゲート電極CGとの間の絶縁膜は、CVD法あるいは原子層化学的気相成長法により、均一な膜厚の連続膜に信頼性高く形成することが好ましい。

また、トンネル酸化膜4の下地となるSi基板としては、シリコン単結晶ウエハ等の半導体基板や、任意の基板上にエピタキシャルシリコン層、ポリシリコン層、アモルファスシリコン層等を形成したものを使用することができる。さらに、半導体基板は上述のシリコンからなるものの他、Si-Ge等からなるものでもよく、本発明における半導体基板とはこれらを広く包含する。

さらに、本発明のフローティングゲート型フラッシュメモリーには、第2A図～第2B図に示すフローティングゲート型フラッシュメモリー301のように、ゲート溝17外に、フローティングゲート電極FG、ONO膜構造9及び制御ゲート電極CGを平面形状に張り出させた張出電極18を形成してもよい。

この張出電極18を有するフローティングゲート型フラッシュメモリー301の製造方法は、第1A図～第1I図に示したフローティングゲート型フラッシュメモリー300と、制御ゲート電極を構成する積層膜10のゲート溝17への埋め込み(第1G図)までは同様であり、その後、リソグラフィー技術及びエッティング技術を用いて平面形状の張出電極18を形成し、最後に層間絶縁膜12に接続孔を開口してプラグ13を充填する。

5 このように張出電極 18 を設けると、第 1 A 図～第 1 I 図のフローティングゲート型フラッシュメモリー 300 に比して製造工程数が増加するが、フローティングゲート電極に関わる全容量に対する、制御ゲート電極 CG - フローティングゲート電極 FG 間の容量の比（カップリング比）をさらに大きくすることができ、書き込み電圧を一層低減させることができる。

10 本発明のフローティングゲート型フラッシュメモリーによれば、制御ゲート電極の底面だけでなく側面においてフローティングゲート電極と制御ゲート電極とを対向させるので、フローティングゲート電極への電荷の蓄積容量が大きく、書き込み電圧を低減できる。またこの書き込み電圧の低減により、フローティングゲート型フラッシュメモリーを構成するトランジスタのドレイン電圧を低くすることができるので、トランジスタの微細化を図ることができる。

15 特に、フローティングゲート電極と制御ゲート電極との間の絶縁膜を原子層化学的気相成長法で形成すると、ゲート溝の底面及び側面にわたりて連続的に均一な膜厚に形成することができるので、書き込み電圧をさらに安定的に低下させることができる。

請求の範囲

1. 半導体基板と制御ゲート電極との間の絶縁膜中にフローティングゲート電極を有し、フローティングゲート電極に電荷が蓄積することによりトランジスタの閾値電圧が変化し、データを保持する不揮発性記憶素子であって、フローティングゲート電極が、制御ゲート電極の底面及び側面の双方と絶縁膜を介して対向していることを特徴とする不揮発性半導体記憶素子。
2. 制御ゲート電極とフローティングゲート電極との間の絶縁膜が、制御ゲート電極の底面及び側面の略全面に均一な厚さに設けられている請求の範囲第1項記載の不揮発性半導体記憶素子。
3. 制御ゲート電極とフローティングゲート電極との間の絶縁膜が、原子層化学的気相成長法により形成された、Si酸化膜、Si窒化膜及びSi酸化膜の積層膜からなる請求の範囲第2項記載の不揮発性半導体記憶素子。
4. 半導体基板と制御ゲート電極との間の絶縁膜中にフローティングゲート電極を有し、該フローティングゲート電極に電荷を蓄積することによりトランジスタの閾値電圧が変化し、データを保持する不揮発性記憶素子の製造方法であって、半導体層上にダミーゲートを形成し、さらにダミーゲートの周囲に絶縁膜からなる側壁を形成した後、ダミーゲートをエッチング除去してゲート溝を形成し、ゲート溝底面の絶縁膜上及びゲート溝側壁面上にフローティングゲート電極層及び絶縁膜を順次成膜し、さらに制御ゲート電極層を成膜してゲート溝内に埋め込むことにより、フローティングゲート電極が、制御ゲート電極の底面及び側面の双方と絶縁膜を介して対向している不揮発性半導体記憶素子を製造する方法。

5. フローティングゲート電極層上に形成する絶縁膜を、ゲート溝底面及びゲート溝側壁面上の略全面で均一な厚さに形成する請求の範囲第4項記載の不揮発性半導体記憶素子の製造方法。
6. フローティングゲート電極層上に形成する絶縁膜として、Si酸化膜、Si窒化膜及びSi酸化膜の積層膜を、原子層化学的気相成長法により形成する請求の範囲第5項記載の不揮発性半導体記憶素子の製造方法。

1/4

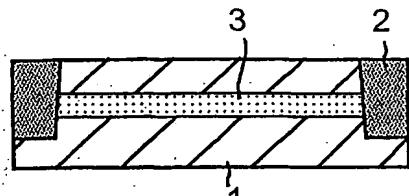


Fig.1A

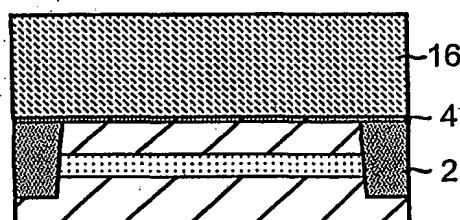


Fig.1B

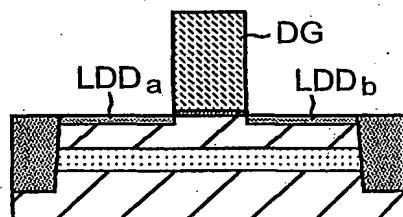


Fig.1C

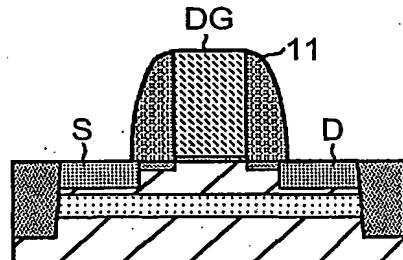


Fig.1D

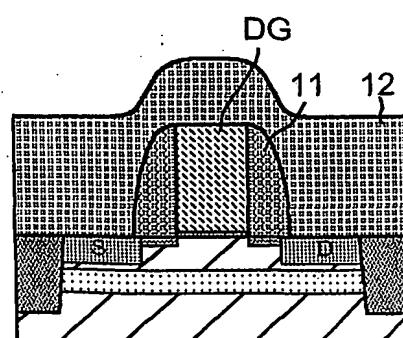


Fig.1E

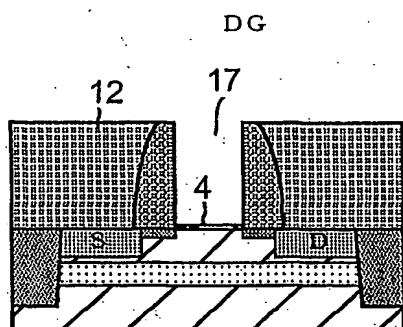


Fig.1F

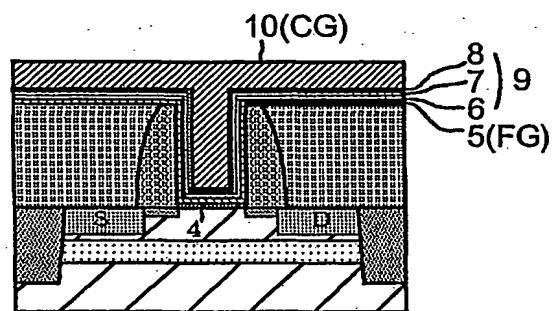


Fig.1G

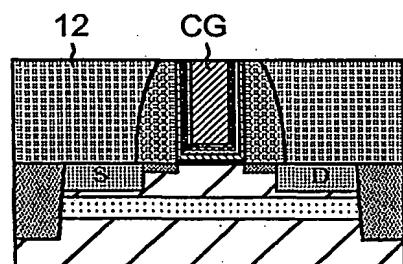
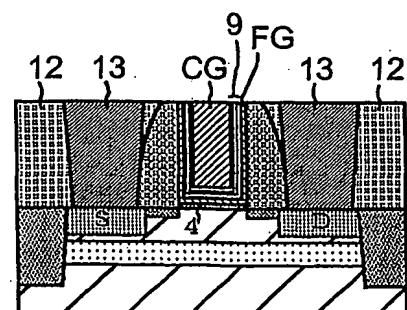


Fig.1H



300

Fig.1I

2/4

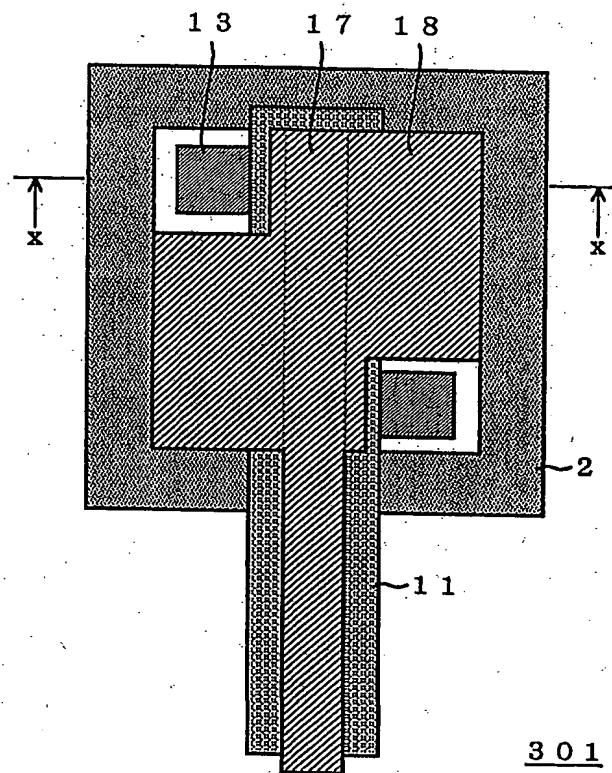
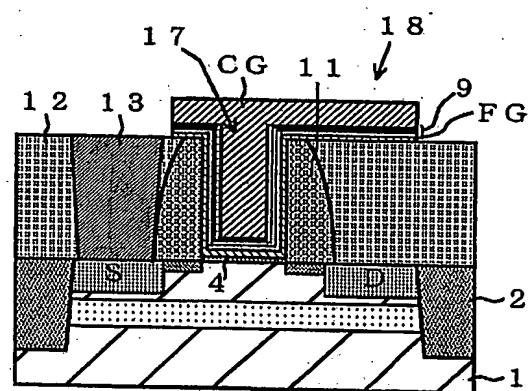


Fig.2A



(x - x 断面図)

Fig.2B

3/4

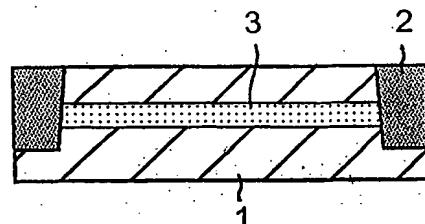


Fig.3A

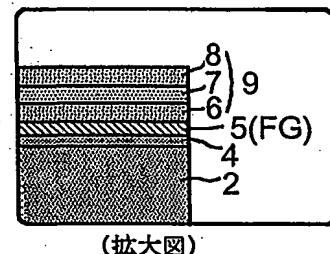
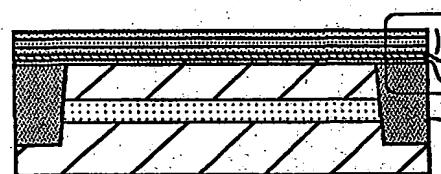


Fig.3B

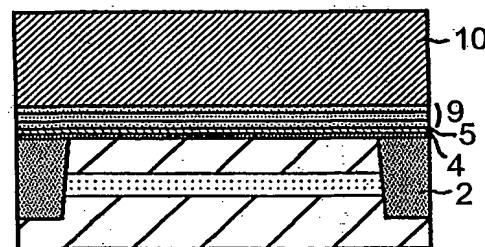


Fig.3C

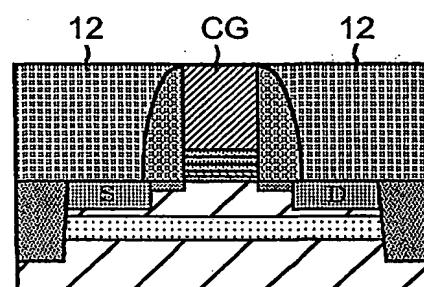


Fig.3F

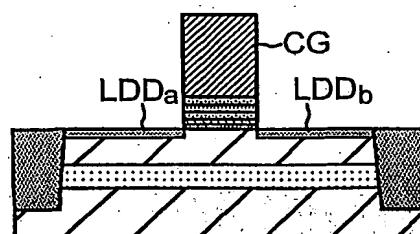


Fig.3D

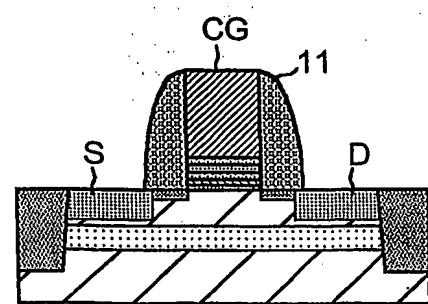


Fig.3E

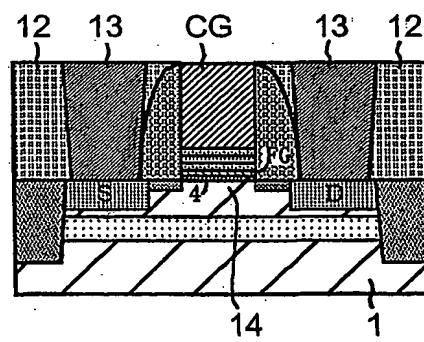


Fig.3G

4/4

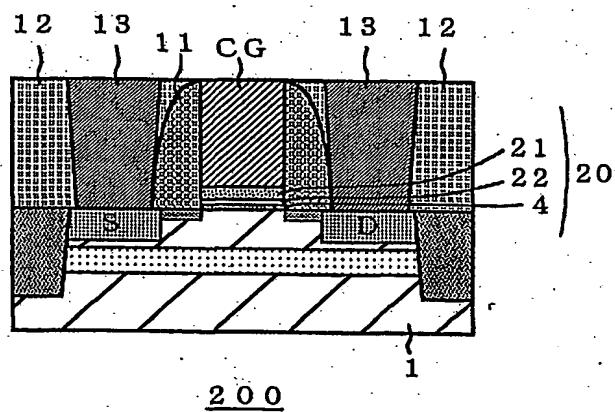


Fig.4

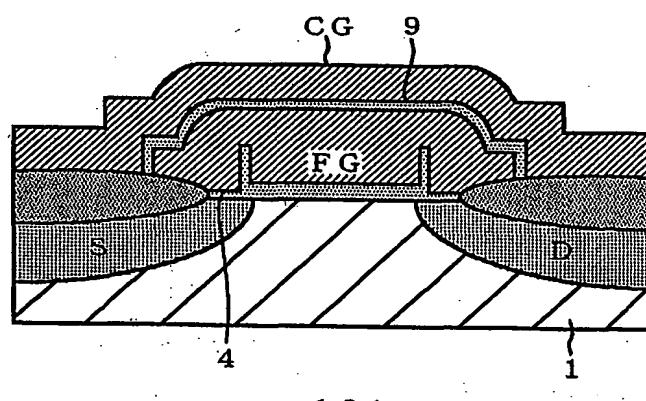


Fig.5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00342

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' H01L21/8247, H01L29/788, H01L29/792, H01L27/115

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' H01L21/8247, H01L29/788, H01L29/792, H01L27/115

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
Web of Science

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-150679 A (Matsushita Electronics Corp.), 30 May, 2000 (30.05.00), Full text; Figs. 1 to 7 (Family: none)	1-3
Y	Full text; Figs. 1 to 7 (Family: none)	3
X	JP 9-205154 A (Mitsubishi Electric Corp.), 05 August, 1997 (05.08.97), (Family: none)	1-2, 4-5
Y	Page 5, right column, line 47 to page 6, right column, line 30; Figs. 1, 17 to 22	3
A	Page 5, right column, line 47 to page 6, right column, line 30; Figs. 1, 17 to 22	6

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier document but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
08 April, 2002 (08.04.02)Date of mailing of the international search report
16 April, 2002 (16.04.02).Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00342

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 5-335588 A (Sony Corp.), 17 December, 1993 (17.12.93), (Family: none)	
X	Page 4, right column, lines 10 to 12; Fig. 11	1-2
Y	Page 4, right column, lines 10 to 12; Fig. 11	3
	JP 10-84051 A (Hitachi, Ltd.), 31 March, 1998 (31.03.98), (Family: none)	
X	Full text; Figs. 1 to 13	1-2
Y	Full text; Figs. 1 to 13	3
A	Anri NAKAJIMA et al., Atomic-layer-deposited silicon-nitride/SiO ₂ stacked gate dielectrics for highly reliable p-metal-oxide-semiconductor field-effect transistors, Appl. Phys. Lett., 30 October, 2000 (30.10.00), Vol.77, No.18, pages 2855 to 2857	6
A	Hiroshi GOTO et al., Atomic layer controlled deposition of silicon nitride with self-limiting mechanism, Appl. Phys. Lett., 03 June, 1996 (03.06.96), Vol.68, No.23, pages 3257 to 3259	6

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. Cl' H01L21/8247, H01L29/788, H01L29/792, H01L27/115

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. Cl' H01L21/8247, H01L29/788, H01L29/792, H01L27/115

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2002年

日本国登録実用新案公報 1994-2002年

日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

Web of Science

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-150679 A(松下電子工業株式会社) 2000.05.30 全文, 図1-7(ファミリーなし)	1-3
Y	全文, 図1-7(ファミリーなし)	3
X	JP 9-205154 A(三菱電機株式会社) 1997.08.05 (ファミリーなし) 第5頁右欄47行～第6頁右欄30行, 図1, 図17-22	1-2, 4-5
Y	第5頁右欄47行～第6頁右欄30行, 図1, 図17-22	3
A	第5頁右欄47行～第6頁右欄30行, 図1, 図17-22	6

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

08.04.02

国際調査報告の発送日

16.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

松嶋 秀忠

4M 9836

電話番号 03-3581-1101 内線 3460

C (続き) 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X	JP 5-335588 A(ソニー株式会社) 1993.12.17 (ファミリーなし) 第4頁右欄10行~12行, 図11	1-2
Y	第4頁右欄10行~12行, 図11	3
X	JP 10-84051 A(株式会社日立製作所) 1998.03.31 (ファミリーなし) 全文, 図1-13	1-2
Y	全文, 図1-13	3
A	Anri NAKAJIMA et. al., Atomic-layer-deposited silicon-nitride /SiO ₂ stacked gate dielectrics for highly reliable p-metal-oxide-semiconductor field-effect transistors, Appl. Phys. Lett., 2000.10.30, Vol. 77, No. 18, pages 2855-2857.	6
A	Hiroshi GOTO et. al., Atomic layer controlled deposition of silicon nitride with self-limiting mechanism, Appl. Phys. Lett., 1996.06.03, Vol. 68, No. 23, pages 3257-3259.	6

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.